

Е.Ю.Петров, к.т.н. А.С.Андреев

E.Y. Petrov, A.S. Andreev

СПЕЦИАЛИЗИРОВАННЫЕ ПРОЦЕССОРЫ ПОТОКОВОЙ ОБРАБОТКИ

SPECIALIZED STREAMING PROCESSORS

Ключевые слова: ЦИФРОВАЯ ОБРАБОТКА СИГНАЛОВ, ЦОС, ПОТОКОВОЕ ВЫЧИСЛЕНИЕ, УНИВЕРСАЛЬНЫЙ ПРОЦЕССОР, DSP, ПОТОКОВЫЙ ПРОЦЕССОР, ПЛИС, БПФ, ВРЕМЯ ОБРАБОТКИ, СИНХРОНИЗАЦИЯ, РАСПРЕДЕЛЕННЫЕ СТРУКТУРЫ ВЫЧИСЛЕНИЯ.

Keywords: DIGITAL SIGNAL PROCESSING, DSP, STREAMING COMPUTATION, GENERAL-PURPOSE PROCESSOR, DIGITAL STREAM PROCESSOR, FPGA, FFT, PROCESSING TIME, SYNCHRONIZATION, DISTRIBUTED COMPUTING FRAMEWORK.

В статье рассмотрены варианты реализации специализированных высокоскоростных систем цифровой обработки сигналов. Проанализированы ограничения систем на основе центральных процессоров и преимущества распределенных вычислений.

In this article different implementation options for specialized high-speed digital signal processing systems were regarded. The limitations of central processor-based systems and the benefits of distributed computing were analyzed.

Необходимость применения специализированных устройств цифровой обработки сигналов (ЦОС) может быть обусловлена рядом факторов, среди которых можно отметить:

- 1) жёсткие ограничения на время обработки данных;
- 2) необходимость синхронизации некоторого потока данных с конкретными временными метками;
- 3) снижение себестоимости изделия за счет эффективного использования оборудования.

Подобные устройства можно условно разделить на две категории. В одну из них попадают системы, лишенные временных ограничений на обработку информации, в другую – системы с жестко заданным временем выполнения алгоритма [1].

Рассмотрим возможные подходы к организации вычислительного процесса с позиции временных затрат и эффективности использования оборудования.

Первый подход - используется вычислительная система на основе *универсального процессора*, который может содержать элементы распараллеливания вычислительного процесса. Как правило, это устройства DSP.

Особенностью такого подхода является необходимость использования ОЗУ для хранения промежуточных результатов обработки: на их чтение и запись тратится время, пропорциональное глубине используемого адресного пространства этого ОЗУ и количеству обращений к ОЗУ. Очевидно, что количество циклов чтения и записи промежуточных результатов зависит от количества обрабатываемых данных.

Альтернативным подходом является применение *структуры распределенного потокового вычисления*. Назовем такую организацию

аппаратуры *потокowym процессором* (ПП). При таком подходе все необходимые для обработки заданного количества данных вычислительные узлы распределены по всей длине конвейера обработки и не имеют ОЗУ для хранения промежуточных результатов.

Цифровые сигнальные процессоры (digital signal processor – DSP) обладают ограниченными возможностями обмена данными. Это либо каналы связи (т. н. link'и) с темпом обмена около 150 МБ/с, либо 64-разрядная шина данных с темпом обмена порядка 250 МБ/с. При этом, использование шины данных возможно только при ограниченной длине связи [2].

Альтернативой использованию DSP является реализация ПП на основе микросхемы ПЛИС, в которой имеются специализированные, высокоскоростные (порядка 1 Гб/с) каналы обмена (например, Rocket-IO).

Конечно, для повышения скорости обмена данными, можно организовать вычислительную систему из сети DSP. Но, в этом случае, темп обработки будет замедляться ограниченной возможностью обмена данными между самими DSP. Кроме того, для процессора DSP необходимы дополнительные интерфейсы связи с внешними устройствами, например АЦП, сеть Ethernet и т.д.

Было произведено сравнение вычислительных возможностей DSP и ПП. В качестве сигнального процессора использовалась модель TS201 фирмы Analog Devices, которая может выполнять до четырех элементарных операций одновременно [2]. За основу ПП была взята микросхема Virtex 4 фирмы Xilinx.

В качестве эталонного теста использовалась процедура быстрого преобразования Фурье (БПФ) на 1024 отсчета.

На DSP операция БПФ занимает 72 000 тактов (144 000 для комплексных чисел), что соответствует 120 мкс (240 мкс), при частоте работы процессора 600 МГц [2].

Операция с теми же параметрами выполняется на ПП за 2,5 мкс при безостановочном поступлении данных на узел БПФ и частоте работы микросхемы 200 МГц.

Следует заметить, что время обработки на DSP не учитывает времени загрузки данных во внутреннюю память сигнального процессора. Однако в случае массива данных, превышающего по объему размер внутренней памяти, это может существенно снизить скорость выполнения операции. Дело в том, что темп работы внешней памяти процессора в 4-5 раз ниже темпа работы внутренней. Очевидно, что в случае выполнения БПФ как фрагмента работы реальной программы время исполнения алгоритма будет еще больше, поскольку память процессора будет занята другими фрагментами программы.

Построение ПП для задач, требующих минимального времени выполнения обработки потоковых данных, сводится к построению структуры обработки с буферизацией данных в распределённой памяти с минимально возможным объёмом записи. Соответственно, считывание и построение параллельных потоков обработки производится таким образом, чтобы потоки передачи данных между узлами обработки не тормозили выбранный общий темп обработки.

Рассмотрим принцип потоковой обработки на примере построения узла, выполняющего операцию БПФ на 1024 точки над потоком комплексных данных.

Данные, поступающие в узел БПФ, представляют собой дробные действительные 16-разрядные числа с фиксированной запятой в дополнительном коде, которые отображены в таблице 1.

В алгоритме используется базовый элемент дискретного преобразования Фурье (ДПФ) над парой чисел A и B по следующей формуле:

$$C = A + B * W_N^k, D = A - B * W_N^k,$$

где W_N^k является поворачивающим множителем. В развёрнутом виде

$$W_N^k = \cos(2\pi \cdot k/N) - j \cdot \sin(2\pi \cdot k/N)$$

где: $k = 0, 1, 2, \dots (N/2-1)$, а $N = 1024$.

Таблица 1. Кодировка входных данных.

Re	Представление
$1 - 2^{-15}$	0.1111111111111111
$1 - 2 \cdot 2^{-15}$	0.1111111111111110
.....
$2^{-14} + 2^{-15}$	0.0000000000000011
$2 \cdot 2^{-15}$	0.0000000000000010
2^{-15}	0.0000000000000001
0	0.0000000000000000
-2^{-15}	1.1111111111111111
$-2 \cdot 2^{-15}$	1.1111111111111110
$-(2^{-14} + 2^{-15})$	1.1111111111111101
.....
$-(1 - 2^{-15})$	1.0000000000000001
-1	1.0000000000000000

Поворачивающие множители W_N^k представляют собой комплексные 16-разрядные дробные числа с фиксированной запятой в дополнительном коде, вид которых отображён в таблице 1.

$$W = Re(W_1) + j \times Im(W_2)$$

На выходах схем этапов БПФ в общем случае образуются комплексные числа C и D в формате с плавающей запятой блочного типа (общий порядок для действительной и мнимой составляющей числа):

$$C = 2^\alpha (s1 + j \times s2), D = 2^\beta (s3 + j \times s4), \text{ где}$$

α - порядок числа C;

s1- действительная часть мантииссы числа C;

s2 - мнимая часть мантииссы числа C;

β - порядок числа D;

s3- действительная часть мантииссы числа D;

s4 - мнимая часть мантииссы числа D.

Представление форматов чисел порядка и мантиисс отображено в таблице 2 и таблице 3 соответственно.

Обобщённая схема функционального узла БПФ отображена на рисунке 1. Как видно из этого рисунка, для получения произведения двух комплексных чисел $B \times W_N^k$, необходимо четыре множительных устройства.

Таблица 2. Представление порядков чисел.

α, β	Представление
15	1111
14	1110
...
1	0001
0	0000

Таблица 3. Представление мантиисс чисел.

R (I)	Представление
$1 - 2^{-15}$	0.111111111111111
$1 - 2 * 2^{-15}$	0.111111111111110
.....
$2 * 2^{-15}$	0.000000000000010
2^{-15}	0.000000000000001
0	0.000000000000000
-2^{-15}	1.111111111111111
$-2 * 2^{-15}$	1.111111111111110
.....
$-(1 - 2^{-15})$	1.000000000000001
-1	1.000000000000000

При умножении двух 16-разрядных чисел для получения полного произведения учитывается факт значений действительной и мнимой

составляющих поворачивающих коэффициентов W_N^k . Они являются функцией \cos и \sin одного угла. Исходя из этого, полное произведение не может превышать величины $\sqrt{2} \approx 1.414$. Таким образом, в формате числа произведения достаточно только двух цифр слева от запятой.

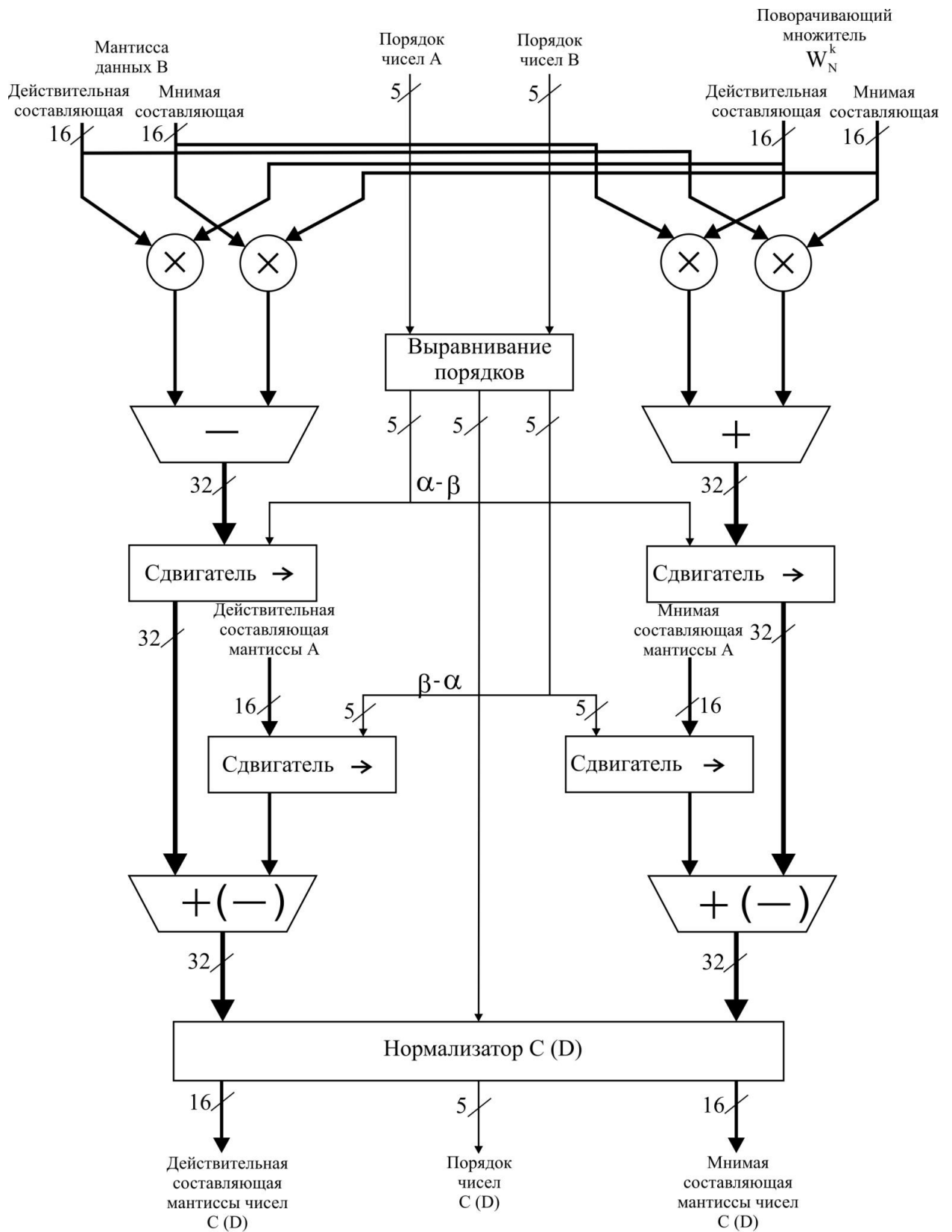


Рисунок 1. Обобщённая схема функционального узла БПФ.

Формат действительной или мнимой части комплексного произведения мантисс в этом случае содержит 32 разряда. Далее перед операцией сложения произведения $B \times W_N^k$, имеющего порядок входного числа В, с числом А производится выравнивание порядков. Действие заключается в получении разности порядков чисел А и В.

Если величина порядка числа А равна или превышает величину порядка числа В, то порядком результата сложения считается порядок числа А, и мантисса произведения сдвигается вправо на величину разности порядков. В противном случае порядком результата сложения считается порядок числа В, и мантисса числа А сдвигается вправо на величину разности порядков. Следует иметь в виду, что одинаковые сдвиги одновременно производятся в действительной и мнимой составляющей числа.

В схеме на рисунке 1 для простоты изложения были допущены совмещения некоторых узлов, выполняющих параллельные вычисления и помеченных скобками (-), (D). При сложении 32-разрядного произведения и 16-разрядного числа А получается 33-разрядная сумма. Из этих разрядов полной суммы оставляются 32 старших разряда. Слева до запятой получают 3 разряда.

Далее действительные и мнимые составляющие мантиссы нормализуются одновременно на одну величину по большей по модулю составляющей комплексной мантиссы. Под нормализацией понимается приведение мантиссы числа к величине, равной или большей 2 (для нашего случая) путём сдвига влево на величину количества нулей подряд от знакового разряда для положительного числа и на величину единиц подряд от знакового разряда для отрицательных чисел.

При этом сдвиги возможны только при не нулевом значении величины порядка, а каждый сдвиг на одну позицию приводит к уменьшению величины порядка на единицу.

Предлагается следующая дисциплина работы нормализатора. Процедура нормализации разбивается на 5 этапов. На 1 этапе может производиться сдвиг на 16, на 2 этапе на 8, на 3 этапе на 4, на 4 этапе на 2 и на 5 этапе на 1. С учётом того, что в нашем случае целая часть мантиссы не превышает величины, равной 2, делается сдвиг на 16 при величине порядка не менее 14. Сдвиг на 8 может проводиться при величине порядка не менее 6, если не было сдвига на 16 и величине порядка не менее 8, если был сдвиг на 16.

Следует иметь в виду, что на каждом этапе нормализации используется уже скорректированный на предыдущем этапе порядок. Аналогичные условия для возможности сдвига и на других этапах нормализации. В частном случае, если не было сдвигов, то порядок увеличивается на 2, если был сдвиг только на 1, то порядок увеличивается на 1. На последнем этапе проводится округление. Самый младший выходной 16 разряд формируется как логическая сумма 17 и 16 предварительных разрядов. Для отрицательных чисел, если все 17 разрядов после последнего этапа нормализации имеют значения, равные 1, то число обнуляется. Можно напомнить, что нормализация проводится по наибольшей по модулю составляющей комплексной мантиссы. Достаточная разрядность выходов сдвигателей влево нормализатора без учёта знаковых разрядов каждого из этапов нормализации показана в таблице 4. Необходимо пояснить, что каждый из 10 этапов ПБПФ имеет свои конкретные для данного этапа параметры элементов обработки.

Таблица 4. Количество разрядов в нормализаторе.

№ этапа	Количество Разрядов
1	31
2	23
3	19
4	17
5	16

Функциональная схема 1024 точечного БПФ, получающего на вход комплексные дробные числа, приведена на рисунке 2. Можно заметить, что максимальная величина порядка для случая наличия в спектре одной нулевой спектральной составляющей (только постоянная составляющая на входе) не превысит величины равной 10.

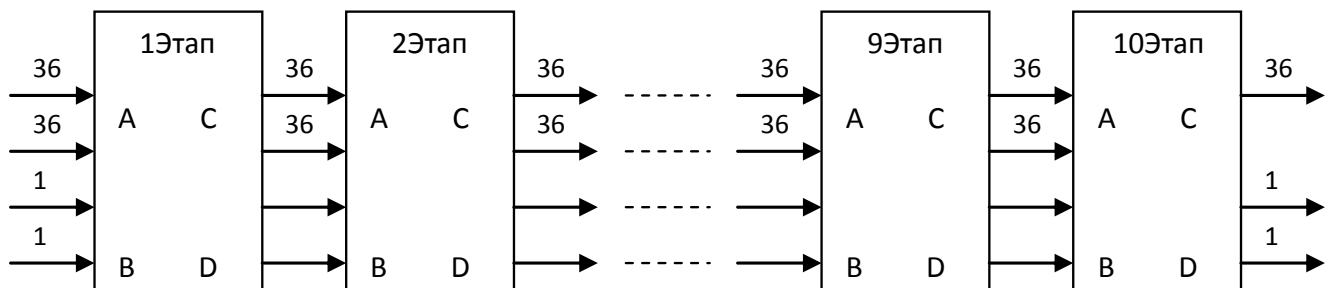


Рисунок 2. Функциональная схема 1024-точечного БПФ.

Данная схема позволяет произвести операцию БПФ на 1024 точки над потоком комплексным данных за 532 такта, что составляет 2,7 мкс при тактовой частоте работы схемы - 200 МГц.

Заключение

Системы обработки данных на основе центрального процессора в ряде случаев имеют существенные ограничения, обойти которые можно только при использовании иного метода построения вычислительного процесса.

Рассмотрен пример потоковой обработки – реализация быстрого преобразования Фурье, демонстрирующий соотношение временных затрат при том или ином подходе. Имея подавляющее (почти 100-кратное) преимущество по времени обработки, потоковый процессор однако имеет весьма ограниченную область применения – использование ПЛИС делает решение достаточно негибким и дорогостоящим по сравнению с системами на универсальных процессорах.

Литература

1. Л.Рабинер, Б.Гоулд. Теория и применение цифровой обработки сигналов. М.: Изд. «МИР», 1978..
2. Analog Devices. ADSP-TS201 TigerSHARK Processor Hardware Reference. Revision 1.1, 2004.